

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

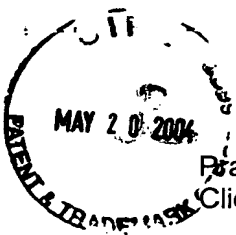
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Practitioner's Docket No.: 040008-0307318
Client Reference No.: OG03-022

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JAE WON HAN Confirmation No: 2861
Application No.: 10/747,620 Group No.: 1765
Filed: December 30, 2003 Examiner: NOT ASSIGNED
For: METHOD OF FABRICATING METAL INTERCONNECTION OF
SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

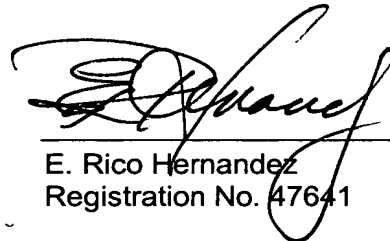
SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

| <u>Country</u> | <u>Application Number</u> | <u>Filing Date</u> |
|----------------|---------------------------|--------------------|
| Korea | 10-2003-0052945 | July 31, 2003 |

Date: May 20, 2004

PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



E. Rico Hernandez
Registration No. 47641



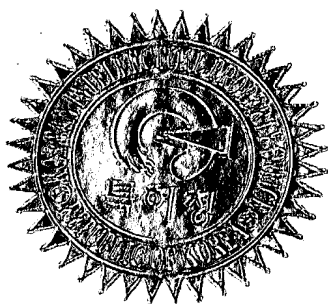
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0052945
Application Number

출원 년 월 일 : 2003년 07월 31일
Date of Application JUL 31, 2003

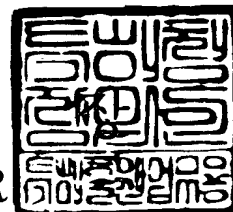
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0385 |
| 【제출일자】 | 2003.07.30 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 반도체 소자의 금속배선 형성방법 |
| 【발명의 영문명칭】 | Method of manufacturing metal layer of semiconductor device |
| 【출원인】 | |
| 【명칭】 | 아남반도체 주식회사 |
| 【출원인코드】 | 1-1998-002671-9 |
| 【대리인】 | |
| 【성명】 | 서천석 |
| 【대리인코드】 | 9-2002-000233-5 |
| 【포괄위임등록번호】 | 2003-002029-1 |
| 【발명자】 | |
| 【성명의 국문표기】 | 한재원 |
| 【성명의 영문표기】 | HAN, Jae Won |
| 【주민등록번호】 | 640323-1231318 |
| 【우편번호】 | 420-020 |
| 【주소】 | 경기도 부천시 원미구 중동 미리내마을 934-201호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인) |
| 【수수료】 | |
| 【기본출원료】 | 17 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 9 항 397,000 원 |
| 【합계】 | 426,000 원 |

【요약서】**【요약】**

본 발명은 반도체 소자의 금속 배선 형성방법에 관한 것으로, 보다 자세하게는 전기 도금에 의한 금속 배선 형성에 있어서 씨드층을 전극으로 사용하지 않고 하위 금속층을 씨드층으로 이용하여 구리 배선을 형성하는 방법에 관한 것이다.

본 발명의 상기 목적은 소정의 구조물이 형성된 기판에 하부 금속층을 형성하는 단계, 상기 하부 금속층을 식각하여 하부금속배선을 패터닝하고 스크라이브 영역에 상기 금속배선 패턴을 전기적으로 접속시키는 패드를 형성하는 단계, 상기 하부 금속층을 포함하는 기판에 절연막을 형성하는 단계, 상기 절연막에 상하부 금속배선층의 전기적 접속을 위한 비아홀과 상부 금속배선층이 형성될 배선구를 형성하는 단계, 전기도금을 이용하여 도금층을 형성하는 단계 및 상기 도금층을 평탄화 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법에 의해 달성된다.

따라서, 본 발명은 전기도금을 이용하여 구리층을 형성할 때 하위 금속층을 씨드층으로 이용하여, 별도의 씨드층이 필요 없고, 구리가 하부에서 일방향으로 일정하게 형성되어 모든 접촉홀에 구리를 완벽하게 채울 수 있어 전자 이동 및 스트레스 이동 등 소자의 신뢰도를 향상시킬 수 있는 효과가 있다.

【대표도】

도 4

1020030052945

출력 일자: 2003/12/19

【색인어】

전기 도금, 전극, 구리, 금속배선, 씨드

【명세서】**【발명의 명칭】**

반도체 소자의 금속배선 형성방법{Method of manufacturing metal layer of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 의한 반도체소자의 금속배선 형성방법을 나타낸 단면도.

도 2a 내지 도 2d는 종래기술에 의한 반도체소자의 금속배선 형성방법을 나타낸 단면도.

도 3은 Cu가 성장하는 방향을 나타낸 단면도

도 4는 본 발명에 의한 전기도금 방법을 나타낸 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 금속 배선 형성방법에 관한 것으로, 보다 자세하게는 전기 도금에 의한 금속 배선 형성에 있어서 씨드층을 전극으로 사용하지 않고 하위 금속층을 씨드층으로 이용하여 구리 배선을 형성하는 방법에 관한 것이다.

- <6> 도 1a 내지 도 1c는 종래의 라인 다마신(line damascene) 구조를 갖는 반도체소자에서의 금속배선 형성방법을 설명하기 위한 단면도들이다.
- <7> 라인 다마신 구조는 절연층의 표면으로부터 소정 깊이의 트랜치가 라인상으로 형성되며, 이 트랜치내에 배선금속층이 형성된 구조를 말하며, 이하 도면을 참조하여 라인 다마신 구조의 금속배선 형성방법을 살펴본다.
- <8> 도 1a를 참조하면, 기판(도시되지 않음) 상에 형성된 절연층(10)에 사진식각 공정을 이용하여 라인형상의 트랜치영역(11)을 형성한다. 이어서, 트랜치영역(11)이 형성된 절연층(10)의 전면에 확산방지층(12)을 형성한다. 다음에, 상기 확산방지층(12) 상에 스퍼터링과 같은 물리기상증착(Physical Vapor Deposition: PVD)법을 이용하여 구리(Cu)를 증착하여 씨드(seed)층(14)을 형성한다.
- <9> 도 1b를 참조하면, 상기 씨드층(14)이 형성된 결과물 상에 전기도금(electroplating) 방식을 이용하여 구리로 된 도금층(16)을 형성한다. 이 때, 상기 도금층(16)은 트랜치가 완전히 매립될 정도로 두껍게 형성한다.
- <10> 도 1c를 참조하면, 화학기계적 연마(Chemical Mechanical Polishing: CMP)공정으로 도금층(16)을 상기 절연층(10)이 노출될 때까지 식각한다. 따라서, 절연층(10)의 표면근방에 형성된 트랜치영역(11) 내에만 확산방지층(12), 씨드층(14) 및 도금층(16)이 잔류하여 이루어지는 금속배선층(16a)을 형성할 수 있다.
- <11> 듀얼 다마신 구조는 트랜치영역내에 라인 형상으로 매립되어 형성되는 금속배선과 하부의 도전층과의 연결을 위해 콘택홀 또는 비어홀을 매립하는 형상의 콘택과의 결합된 구조를 말한다. 이하 듀얼 다마신 구조의 금속배선 형성방법을 살펴본다.

- <12> 도 2a를 참조하면, 기판(도시안됨)상에 일정한 간격을 두고 하부도전층(28)이 형성되며, 하부도전층(28)의 상측으로는 절연층을 개재하여 금속배선층(26a)이 일정한 간격을 두고 형성된다. 상기 하부도전층(28)과 금속배선층(26a)은 콘택홀영역(30)을 통하여 상호 전기적으로 연결된다.
- <13> 도 2b 내지 도 2d는 각 공정단계별로 도 2a의 VII-VII'선을 자른 단면도를 나타낸다.
- <14> 도 2b를 참조하면, 기판(도시안됨)상에 도전물질을 증착한 후 패터닝하여 일정한 간격을 갖는 하부도전층(28)을 형성한다. 이어서, 전면에 절연층(20)을 형성한 후 통상의 사진식각공정에 의해 콘택홀영역(30)과 상기 콘택홀영역(30)을 포함하도록 결합된 트렌치 형상의 트렌치영역을 형성한다. 이어서, 전면에 확산방지층(22) 및 씨드층(24)을 차례로 형성한다.
- <15> 도 2c를 참조하면, 상기 씨드층(24)이 형성된 기판을 전기도금장치내로 로딩한 후, 전기도금(Electroplating)에 의해 구리로 이루어진 도금층(26)을 형성한다. 이어서, 상기 도금층(26)이 형성된 기판에 대하여 화학기계적 연마공정을 이용하여 표면 평탄화공정을 수행한다. 상기 표면 평탄화 공정은 절연층(20)의 표면이 노출될 때까지 도금층(26), 씨드층(24) 및 확산방지층(22)에 대하여 수행하며, 도 2d에 도시된 바와 같이, 표면이 평탄화된 듀얼 다마신 구조의 금속배선층(26a)이 형성된다.
- <16> 그러나, 상기 금속배선 형성방법에 의하면, 다음과 같은 몇가지 문제점이 발생한다.
- <17> 화학기계적 연마공정으로 구리(Cu)막을 제거할 때 금속배선층 패턴의 밀도 차이에 따라 절연층의 침식 현상이 발생하여 기판내 금속배선층간의 두께를 변화시켜 제품의 불량률 유발하게 된다.

- <18> 씨드층과 확산방지층의 연마속도가 다를 경우, 씨드층과 확산방지층 각각 다른 슬러리를 사용하여 연마하여야 하는데, 이는 화학기계적 연마공정을 매우 복잡하게 만들고 제조비용을 증가시키게 된다.
- <19> 구리 전기도금시 씨드층에 전극을 주어 씨드층상 등전위면에 구리를 성장시키는 방법을 사용하는데, 좁고 깊은 홀에 씨드층이 형성되지 않으면 전기도금에 의한 구리증착이 일어나지 않아 보이드(32, 32a)가 발생하고 도선의 단락이 발생하여 반도체 소자의 동작이 불가능해진다.
- <20> 확산 방지층이나 씨드층상에 파티클이 형성되어 있을 경우 전기도금시 씨드층상에 등전위면이 깨지고 구리가 성장하지 않는 영역이 발생하여 도선이 단락되는 문제가 발생하게 된다.
- <21> 전기도금 방법은 전기가 통하는 전면에서 구리박막이 성장하기 때문에 도 3과 같이 홀내의 바닥과 측벽에서 구리박막이 동시에 성장하는데 이 경우 구리의 성장 방향이 혼합되어 있어 전자 이동(Electro-Migration), 스트레스 이동(Stress-Migration) 등 소자의 신뢰도에 나쁜 영향을 미치게 된다.

【발명이 이루고자 하는 기술적 과제】

- <22> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 하위 금속층에 전기도금용 전극 패드를 형성하여 씨드층이 필요없고, 구리가 하부에서 일방향으로 일정하게 형성되어 모든 홀에 구리를 완벽하게 채울 수 있어 전자 이동(Electro-Migration) 및 스

트레스 이동(Stress-Migration) 등 소자의 신뢰도를 향상시킬 수 있는 반도체 소자의 금속 배선 형성방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

- <23> 본 발명의 상기 목적은 소정의 구조물이 형성된 기판에 하부 금속층을 형성하는 단계, 상기 하부 금속층을 식각하여 하부금속배선을 패터닝하고 스크라이브 영역에 상기 금속배선 패턴을 전기적으로 접속시키는 패드를 형성하는 단계, 상기 하부 금속층을 포함하는 기판에 절연막을 형성하는 단계, 상기 절연막에 상하부 금속배선층의 전기적 접속을 위한 비아홀과 상부 금속배선층이 형성될 배선구를 형성하는 단계, 전기도금을 이용하여 도금층을 형성하는 단계 및 상기 도금층을 평탄화 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법에 의해 달성된다.
- <24> 본 발명은 금속배선층을 전기도금시 종래에 씨드층을 이용하는 것과는 달리 하부 금속배선층을 씨드층으로 이용하여 전기도금하는 것에 관한 발명이다.
- <25> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <26> 도 4는 본 발명에 의한 전기도금 방법을 나타낸 단면도이다.
- <27> 우선, 소정의 구조물이 형성된 기판 상에 하부 금속층(51)을 증착한다. 이어 상기 하부 금속층을 식각하여 하부금속배선을 패터닝하고 스크라이브 영역에 상기 금속배선 패턴을 전기적으로 접속하는 패드(54)를 형성한다.

- <28> 다음, 상기 금속층을 포함한 반도체 기판에 절연막(52)을 형성한다.
- <29> 상기 절연막은 PECVD(plasma-enhanced chemical vapor deposition)방법으로 증착된 TEOS(Tetra Ethyl Ortho Silicate) 절연막이다.
- <30> 다음, 상기 절연막의 일부분을 식각하여 상/하부 금속배선층을 전기적으로 접속하는 비아홀과 상부 금속배선층이 형성될 배선구를 형성한다.
- <31> 이어, 상기 비아홀이 형성된 절연막의 상부에 장벽금속막을 형성할 수도 있다. 스퍼터링 공정을 통해서 콘택홀의 내면 및 절연막 상에 후속되는 배선금속과의 접착력을 향상시키는 동시에 금속의 확산을 방지해주는 장벽금속막을 균일한 두께로 증착한다.
- <32> 상기 장벽금속막의 재질은 Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 등이 단일막으로 또는 이들 가운데 둘 이상의 복합막으로 형성할 수 있다.
- <33> 상기 장벽금속막의 두께는 100 내지 1000 Å의 범위가 되도록 형성한다.
- <34> 이어, 기판을 전기도금장치 내로 로딩한 후, 전기도금에 의해 구리(53)로 이루어진 도금층을 형성한다. 이어서, 상기 도금층이 형성된 기판에 대하여 CMP 공정을 이용하여 표면 평탄화공정을 수행한다.
- <35> 전기도금은 기판을 전기도금을 진행할 챔버 내로 로딩하는 단계, 기판을 음극(cathode)으로 하여 전압을 인가하는 단계 및 상기 기판을 전해액 속에 담가 구리층을 성막하는 단계로 이루어진다.
- <36> 즉, 도금액을 담을 수 있는 도금장치 내로 기판을 로딩한 후, 도금공정을 수행하여 상기 하부금속층의 상부에 도금층을 형성한다.
- <37> 상기 전기 도금시 전압은 스크라이브 영역에 형성된 패드에 의하여 인가된다.

- <38> 상기 도금층의 재질은 본 발명의 도금공정에 의해 도금이 이루어질 수 있는 도전성의 금속물질이면 족하며, 본 실시예에서는 대표적으로 구리를 사용하였다.
- <39> 구리에 대한 전해도금은 구리이온이 포함된 전해용액 내로 전극이 형성된 기판을 넣은 후 이를 음극(cathode)으로 하여 전압을 인가하면 구리 도금층이 하부금속층의 상부면에 선택적으로 형성되는 것을 이용한 것이다.
- <40> 상기 표면 평탄화 공정은 절연막의 표면이 노출될 때까지 도금층에 대하여 수행한다.
- <41> 종래 씨드층을 이용할 경우에는 반도체 기판 전면에서 구리가 증착되지만, 본 발명에서는 씨드층 역할을 하는 하부 금속배선층이 드러난 부분에서 구리가 증착되므로 CMP공정이 단순화 된다.
- <42> 또한 CMP이후 배선구 내부에 남은 금속막이 상부 금속배선층이 된다.
- <43> 상기와 같은 공정은 씨드층이 필요 없는 공정으로 모든 홀에 구리를 보이드 없이 채울 수 있고 구리가 밑바닥부터 일방향으로 성장하며 형성되기 때문에 씨드를 사용할 때 발생하는 전자 이동 및 스트레스 이동 등의 소자의 신뢰도에 나쁜 영향을 미치게 되는 요인을 제거할 수 있다.
- <44> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

<45> 따라서, 본 발명은 전기도금을 이용하여 구리층을 형성할 때 하위 금속층을 씨드층으로 이용하여 별도의 씨드층이 필요 없고, 구리가 하부에서 일방향으로 일정하게 형성되어 모든 접촉홀에 구리를 완벽하게 채울 수 있어 전자 이동 및 스트레스 이동 등 소자의 신뢰도를 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

소정의 구조물이 형성된 기판에 하부 금속층을 형성하는 단계;

상기 하부 금속층을 식각하여 하부금속배선을 패터닝하고 스크라이브 영역에 상기 금속 배선 패턴을 전기적으로 접속시키는 패드를 형성하는 단계;

상기 하부 금속층을 포함하는 기판에 절연막을 형성하는 단계;

상기 절연막에 상하부 금속배선층의 전기적 접속을 위한 비아홀과 상부 금속배선층이 형성될 배선구를 형성하는 단계;

전기도금을 이용하여 도금층을 형성하는 단계; 및

상기 도금층을 평탄화 하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 2】

제 1항에 있어서,

상기 도금층을 형성하기 전에 장벽금속층을 형성하는 단계를 더 포함하는 반도체 소자의 금속배선 형성방법.

【청구항 3】

제 1항에 있어서,

상기 절연막은 PECVD방법으로 증착된 TEOS 절연막인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 4】

제 2항에 있어서,

상기 장벽금속막은 Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 중에서 선택되어진 하나의 단일막 또는 이들 가운데 선택되어진 둘 이상의 복합막으로 형성된 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 5】

제 1항에 있어서,

상기 도금층은 구리층임을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 6】

제 1항에 있어서,

상기 전기도금은,

기판을 전기도금을 진행할 챔버 내로 로딩하는 단계;

상기 기판을 음극(cathode)으로 하여 전압을 인가하는 단계; 및

상기 기판을 전해액 속에 담가 도금층을 성막하는 단계
로 이루어짐을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 7】

제 6항에 있어서,

상기 전압은 스크라이브 영역에 형성된 패드에 의하여 인가되는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 8】

제 1항에 있어서,

상기 평탄화 공정은 CMP공정인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

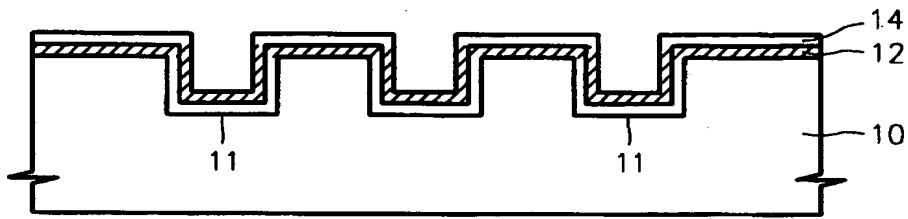
【청구항 9】

제 8항에 있어서,

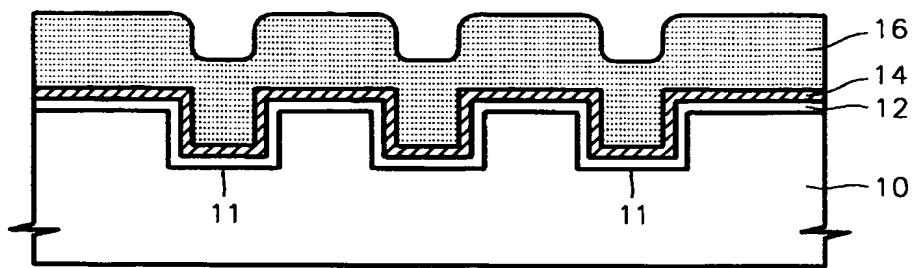
상기 CMP공정은 절연막의 표면이 노출될 때까지 도금층에 대하여 연마하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【도면】

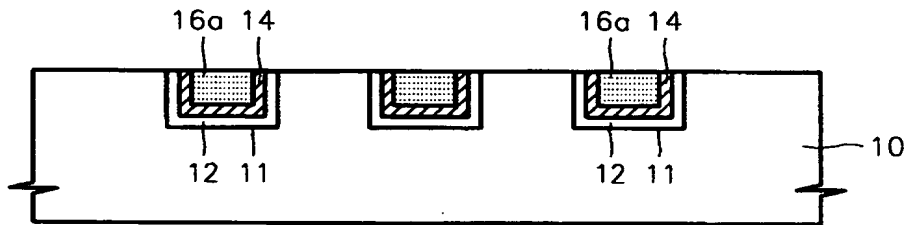
【도 1a】



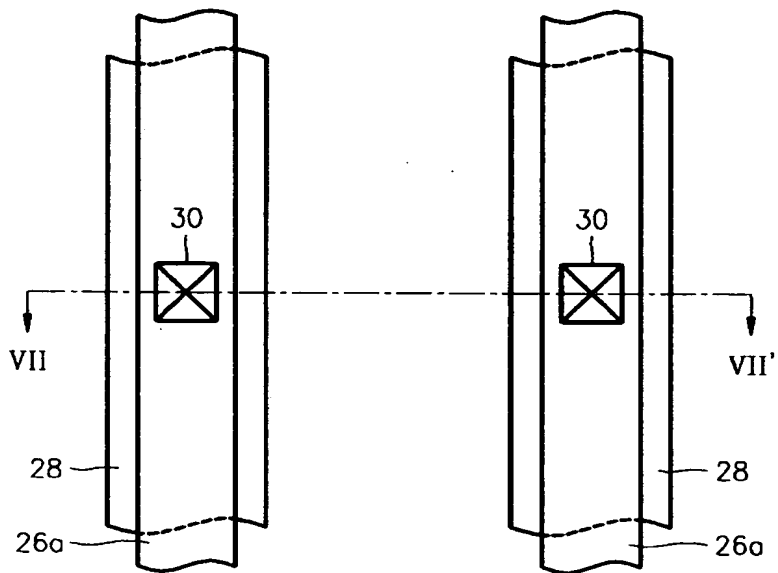
【도 1b】



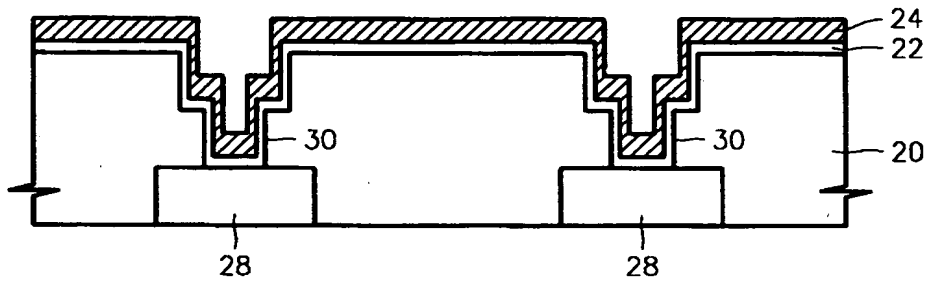
【도 1c】



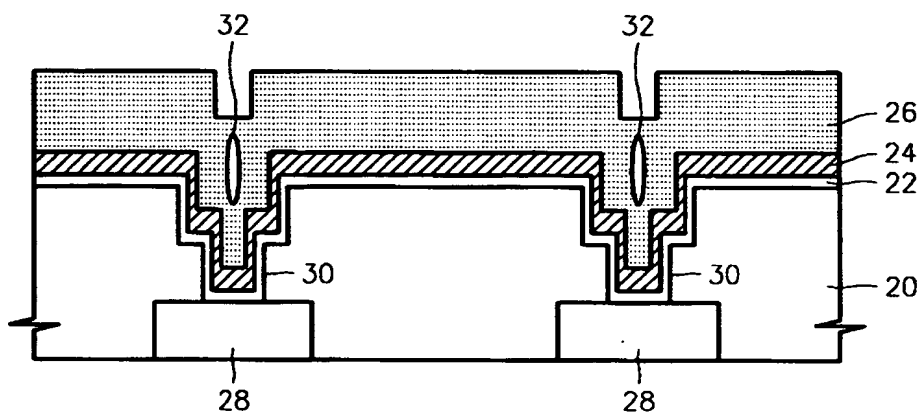
【도 2a】



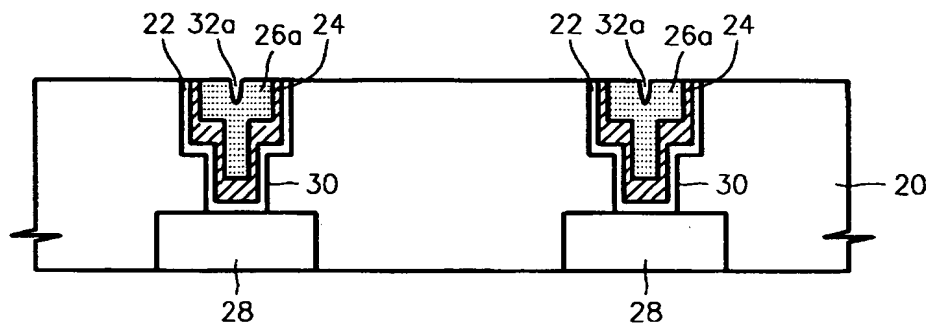
【도 2b】



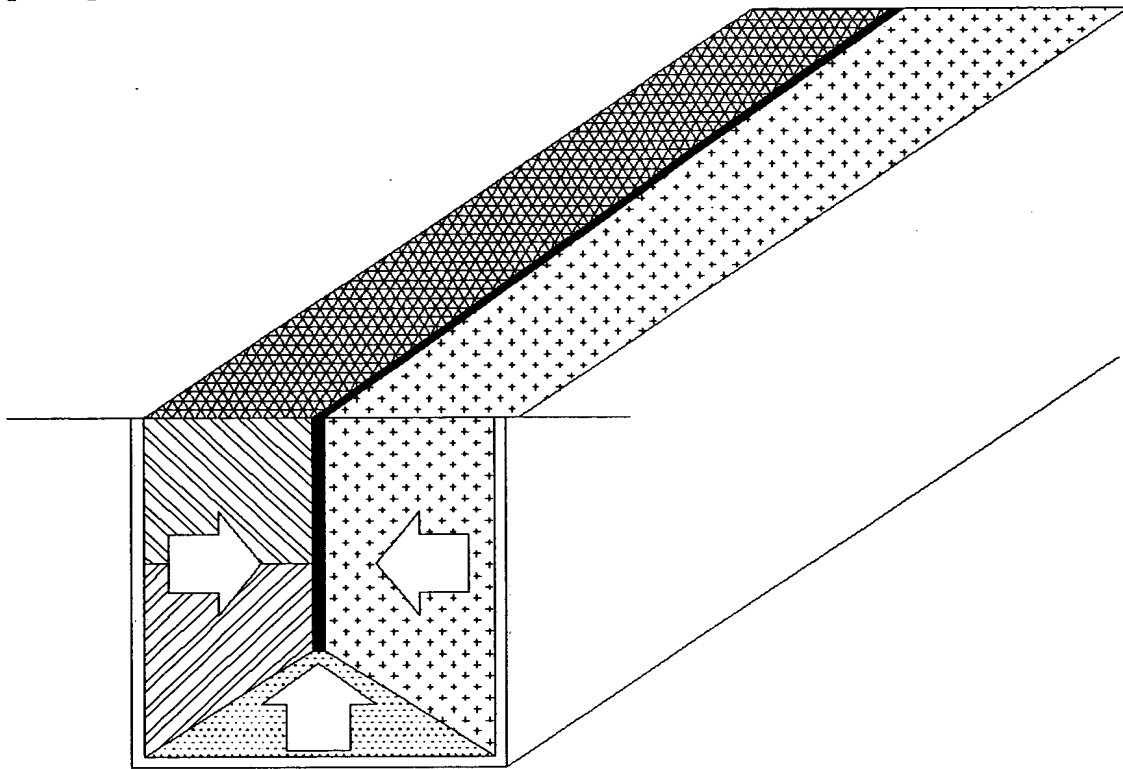
【도 2c】



【도 2d】



【도 3】



【도 4】

